

Capítulo IV - Famílias Lógicas

1 Introdução

Nos capítulos anteriores estudamos circuitos digitais sob o ponto de vista das funções lógicas por eles implementadas. Neste capítulo estudaremos circuitos digitais no contexto de suas características elétricas de operação. Duas principais famílias de circuitos integrados emergem neste contexto: A família TTL (*Transistor-Transistor Logic*) e a família CMOS (*Complementary Metal-Oxid Semiconductor*). As famílias TTL e CMOS não esgotam o universo de famílias lógicas, mas, seguramente são as mais utilizadas. Como um exemplo das demais famílias lógicas existentes citamos a família ECL (*Emitter-Coupled Logic*), caracterizada pela capacidade de operar em altas frequências (2.8 GHz para a série *E-Lite* da família ECL).

2 Características e Parâmetros Operacionais Básicos

● Esta seção apresenta resumidamente as principais características e parâmetros das famílias TTL e CMOS, sob o enfoque da implementação prática de funções lógicas através de circuitos integrados (CIs) digitais.

2.1 Tensão de Alimentação

- A tensão nominal de alimentação de um CI TTL é $V_{CC} = +5V$.
- A tensão nominal de alimentação de um CI CMOS é bem mais flexível que a de um CI TTL. Um CI CMOS opera com tensões de alimentação de até $V_{CC} = +10V$, mas é usual uma tensão de alimentação de $+5V$ para que haja compatibilidade com circuitos digitais que utilizem CIs TTL.
- Para a categoria de CIs CMOS conhecida como *Low-Voltage CMOS*, a tensão nominal de alimentação é $V_{CC} = +3.3V$.

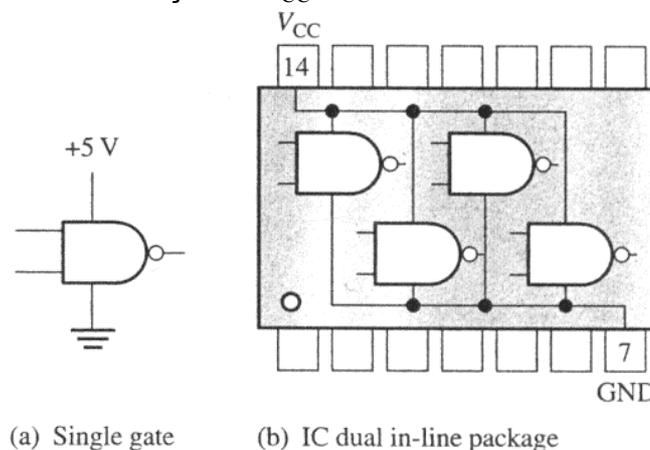


Figura 1: Pinos de conexão de alimentação em um CI.

2.2 Níveis Lógicos para CIs CMOS

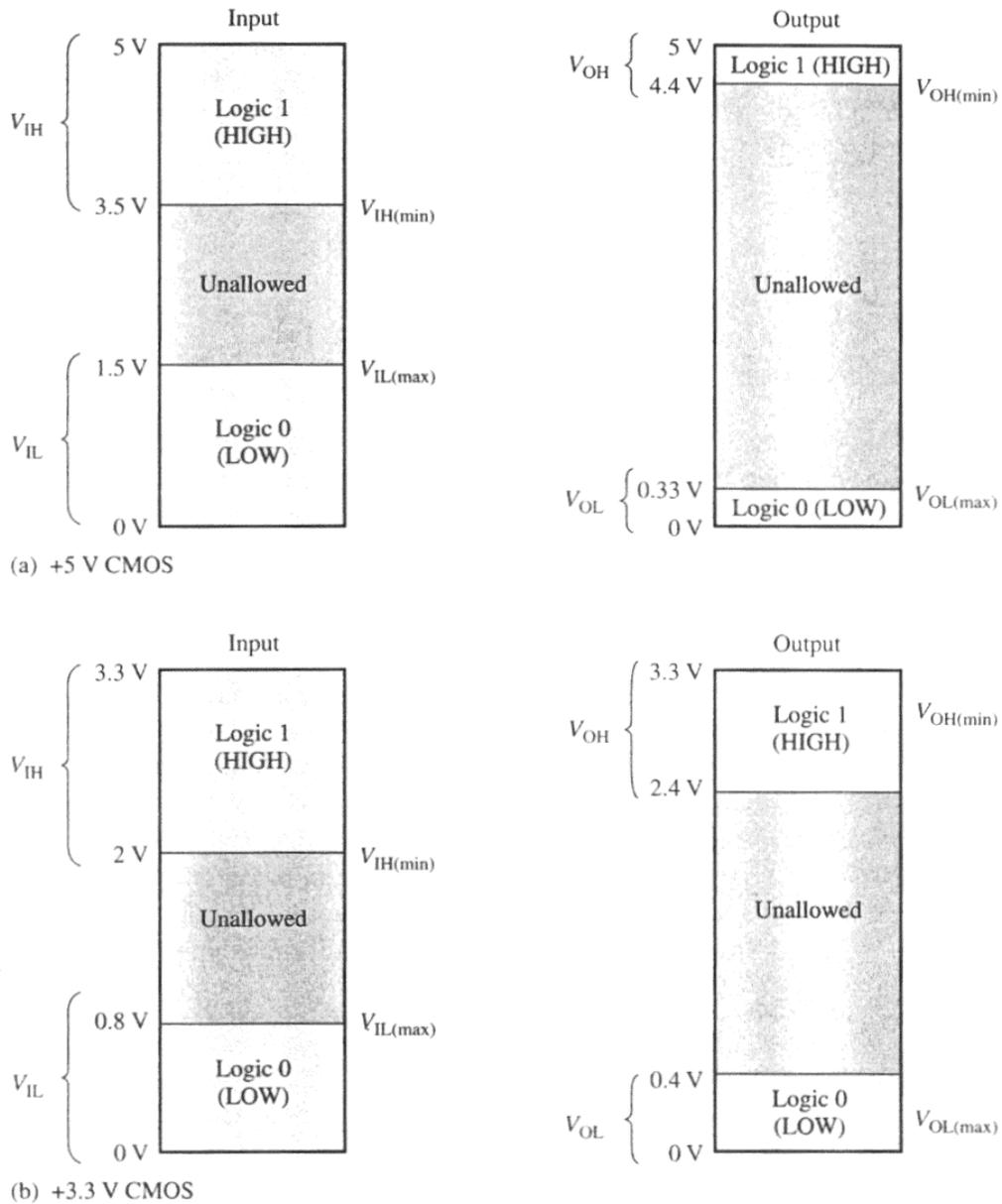


Figura 2: Níveis de tensão para operação correta de um CI CMOS. V_I refere-se a tensões de entrada e V_O a tensões de saída. A faixa de tensão *unallowed* (não permitido) significa que o fabricante do CI não garante o funcionamento correto do CI para tensões nesta faixa.

2.3 Níveis Lógicos para CIs TTL

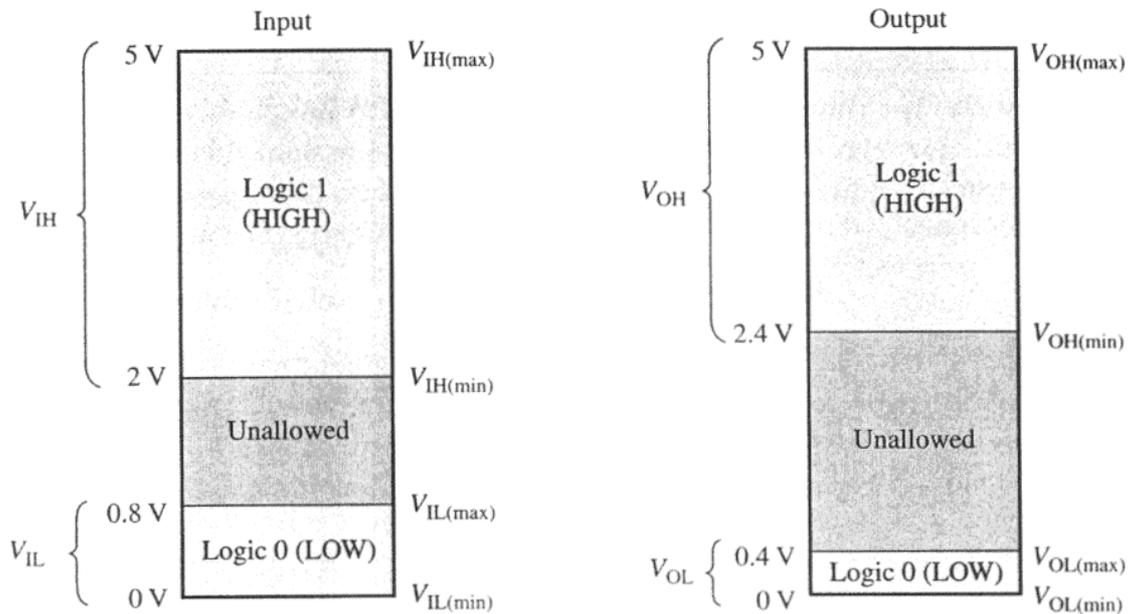


Figura 3: Níveis de tensão para operação correta de um CI TTL. V_I refere-se a tensões de entrada e V_O a tensões de saída. A faixa de tensão *unallowed* (não permitido) significa que o fabricante do CI não garante o funcionamento correto do CI para tensões nesta faixa.

2.4 Imunidade a Ruído

- Em ambientes industriais é usual um alto nível de ruído eletromagnético. A Figura 4 ilustra o efeito do ruído na operação de uma porta lógica.

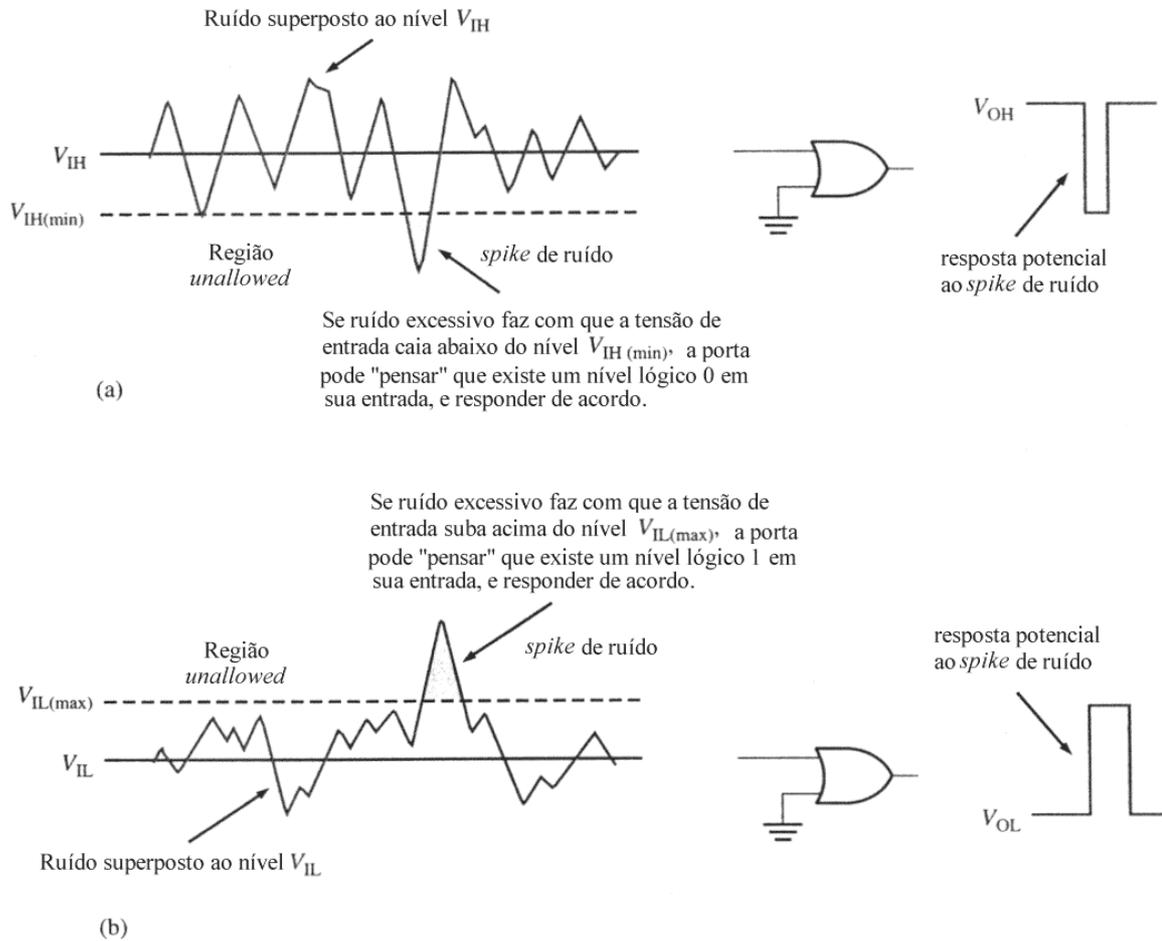


Figura 4: Efeito do ruído na entrada de uma porta lógica sobre a sua operação. É desejável que um CI tenha uma alta imunidade ao ruído eletromagnético.

2.5 Margem de Ruído

- Uma medida da imunidade a ruído de uma família lógica é a denominada Margem de Ruído, definida pelos parâmetros V_{NH} e V_{NL} , dados por

$$V_{NH} = V_{OH(min)} - V_{IH(min)} \quad (1)$$

$$V_{NL} = V_{IL(max)} - V_{OL(max)} \quad (2)$$

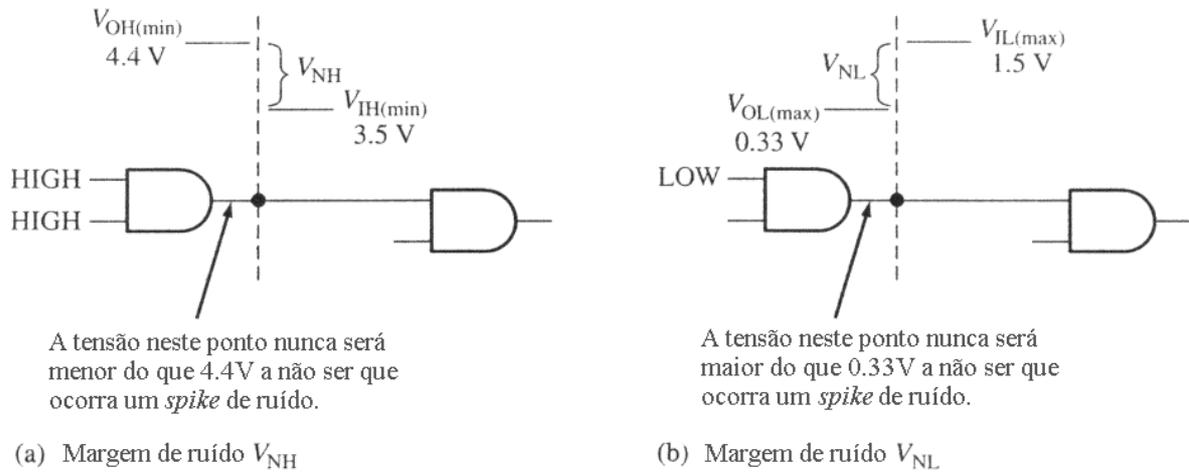


Figura 5: (a) Margem de ruído V_{NH} . (b) Margem de ruído V_{NL} .

2.6 Consumo de Potência

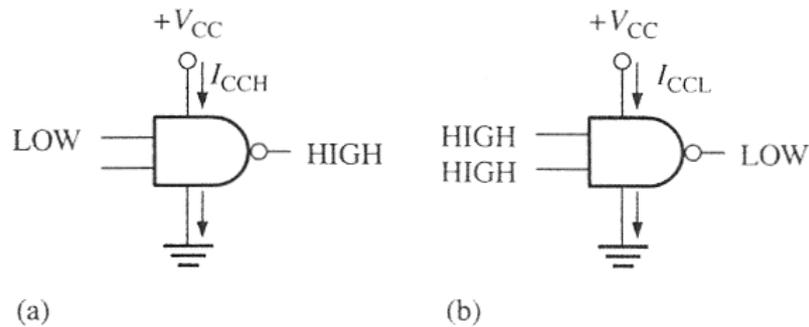


Figura 6: Os dois valores possíveis de consumo de corrente para uma porta lógica: (a) I_{CCH} e (b) I_{CCL} .

- A corrente média de consumo é dada por

$$I_{CC} = \frac{I_{CCH} + I_{CCL}}{2} \quad (3)$$

- E, portanto, a potência média consumida da fonte de alimentação é dada por

$$P_D = V_{CC} I_{CC} \quad (4)$$

- CIs TTL têm seu consumo independente da freqüência de operação, enquanto CIs CMOS têm seu consumo variando aproximadamente de modo linear com a freqüência de operação:

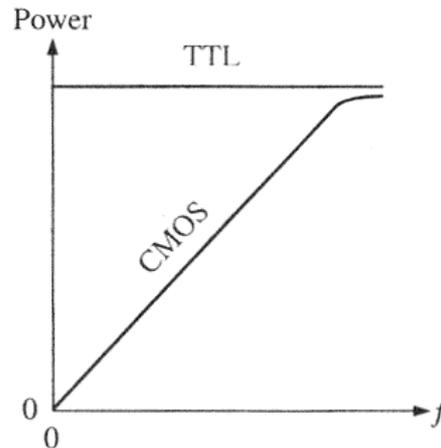


Figura 7: Curva **potência consumida × freqüência de operação** para as famílias TTL e CMOS.

2.7 Tempo de Propagação

- Sempre que um trem de pulsos se propaga através de uma porta lógica ele experimenta um atraso no tempo (*time delay*):

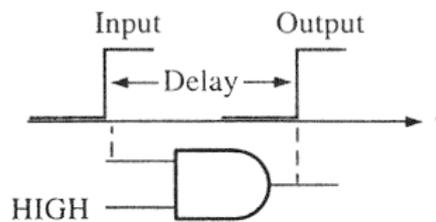


Figura 8: Ilustração do mecanismo denominado *propagation delay*.

- Existem dois atrasos (*delays*) de propagação básicos em uma porta lógica:
 - ⇒ t_{PHL} : O intervalo de tempo transcorrido entre um instante especificado no pulso de entrada da porta e o instante correspondente no pulso de saída, para a situação em que a saída da porta está efetuando a transição do estado HIGH para o estado LOW.
 - ⇒ t_{PLH} : O intervalo de tempo transcorrido entre um instante especificado no pulso de entrada da porta e o instante correspondente no pulso de saída, para a situação em que a saída da porta está efetuando a transição do estado LOW para o estado HIGH.

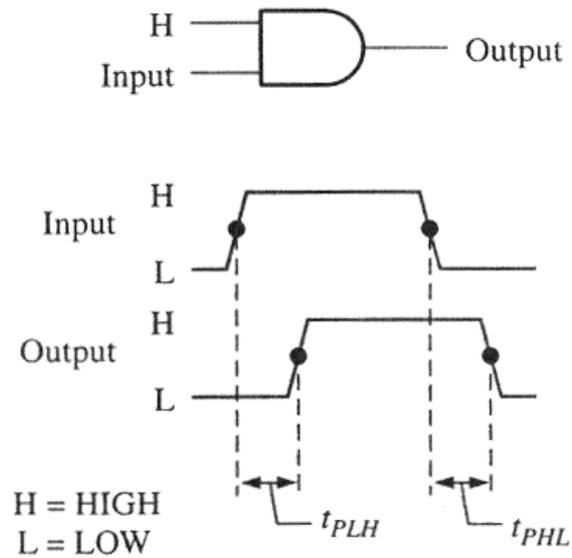


Figura 9: Definição dos *propagation delay times*, t_{PHL} e t_{PLH} , em uma porta lógica. *Input* significa “entrada” e *output* significa “saída”. Em geral os instantes de referência localizam-se a 50% do tempo de duração das bordas dos pulsos.

2.8 Fan-Out

- Existe um limite máximo de entradas de portas lógicas que podem ser conectadas simultaneamente à saída de uma porta lógica. Este limite máximo é denominado de **fan-out**.

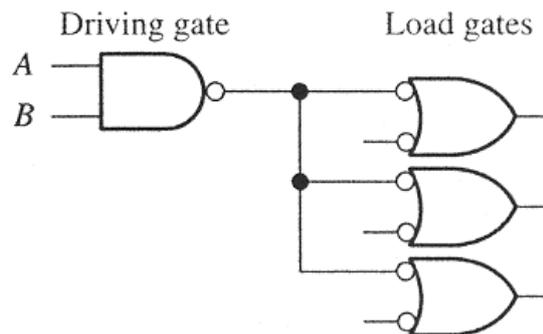


Figura 10: Porta NAND acionando 3 portas OR com entradas invertidas. Cada uma das 3 portas OR consome uma parcela da corrente de saída da porta NAND. Portanto, haverá um limite máximo de portas que poderão ser acionadas, sob pena de danificar a porta acionadora (*driving gate*) por excesso de corrente.

- Por exemplo, o *fan-out* típico de uma porta TTL padrão é 10, para uma porta *Low-Power Schottky* (LS) o *fan-out* é 20.

- Uma porta CMOS possui um *fan-out* bem maior que uma porta TTL, mas deve-se manter em mente que o *fan-out* da família CMOS é dependente da frequência de operação devido ao inerente efeito capacitivo nas entradas das portas CMOS:

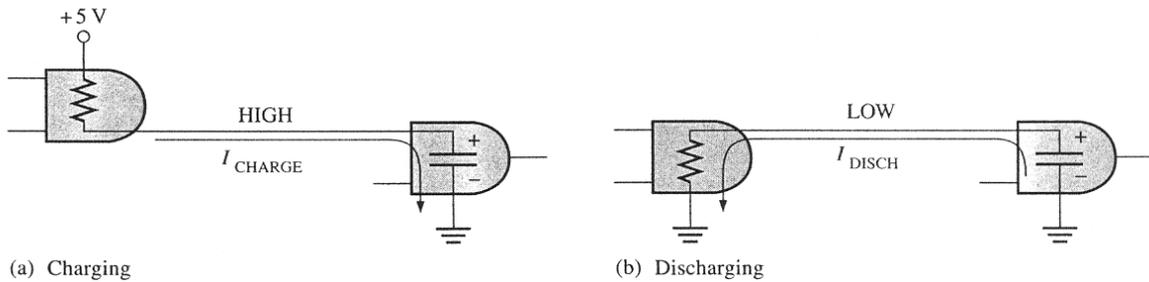


Figura 11: Carga capacitiva apresentada à porta acionadora para CIs da família CMOS. (a) Carga do capacitor. (b) Descarga do capacitor. Quanto maior a frequência de operação mais ciclos carga-descarga do capacitor ocorrem por unidade de tempo, e, portanto, maior o valor RMS da corrente na saída da porta acionadora.

- CIs TTL não apresentam efeito capacitivo nas entradas de suas portas, de modo que a carga de uma porta TTL é puramente resistiva:

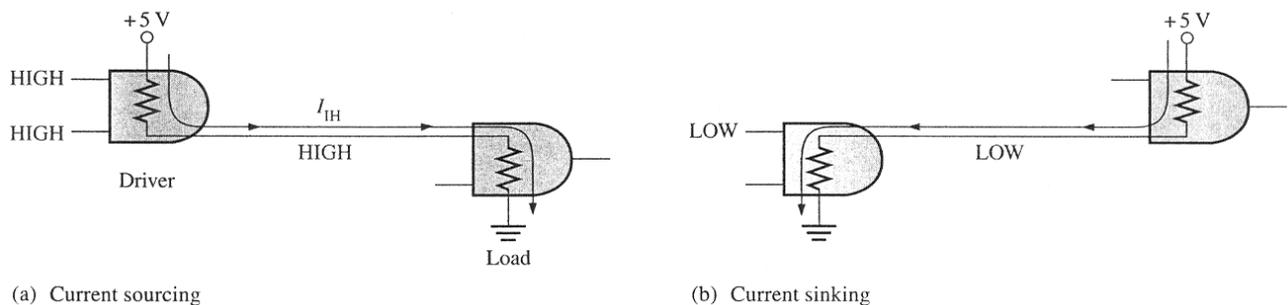


Figura 12: Carga resistiva apresentada à porta acionadora para CIs da família TTL. (a) Fornecimento de corrente à carga. (b) Absorção de corrente da carga.

- Embora o *fan-out* da família TTL seja independente da frequência, ocorre problema de **redução da margem de ruído** quando temos muitas portas conectadas em paralelo como carga e a porta acionadora encontra-se com sua saída em estado HIGH:

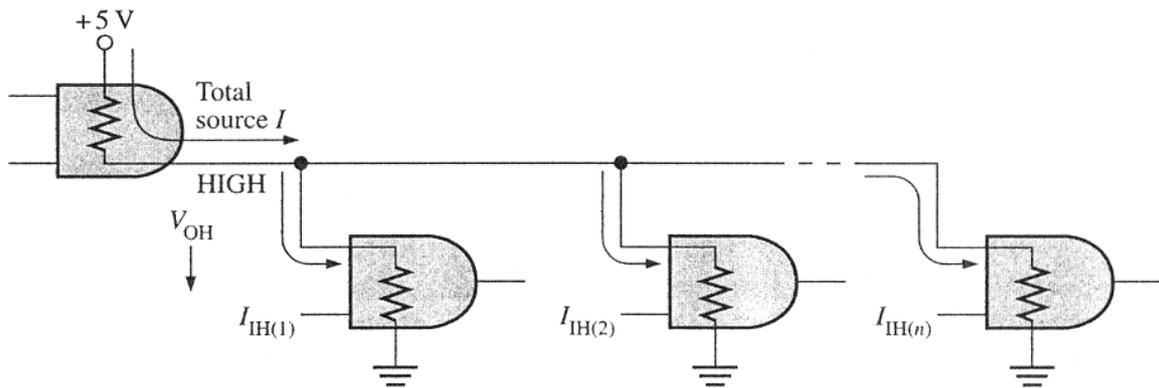


Figura 13: A corrente I fornecida pela porta acionadora aumenta à medida que aumentamos o número de portas utilizadas como carga. A medida que corrente I aumenta, aumenta a queda ôhmica de tensão interna na porta acionadora. Isto faz com que V_{OH} eventualmente caia abaixo de $V_{OH(min)}$, reduzindo a margem de ruído V_{NH} (ver Figura 5).

- Para um CI TTL o fator limitante do *fan-out* é a absorção de corrente das portas utilizadas como carga, situação que ocorre quando a porta acionadora encontra-se com sua saída em estado LOW:

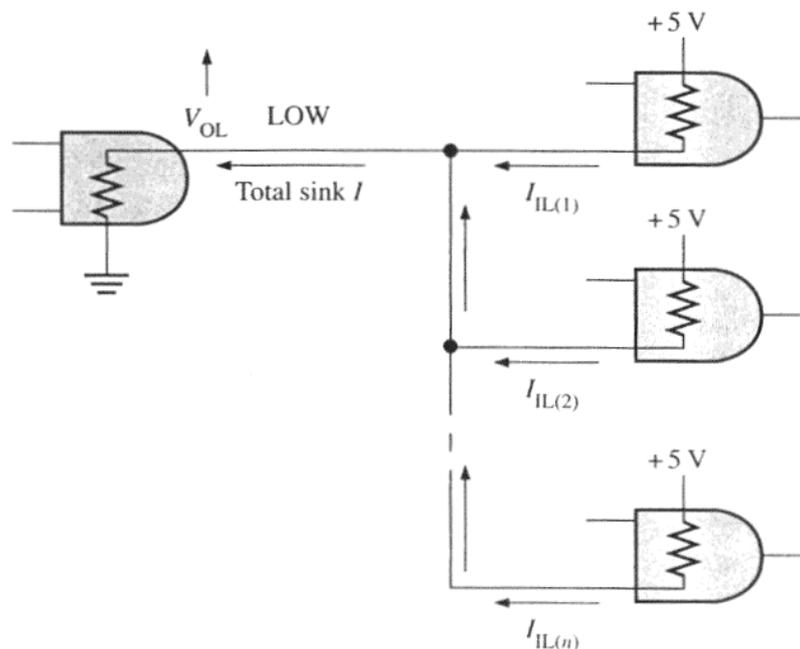
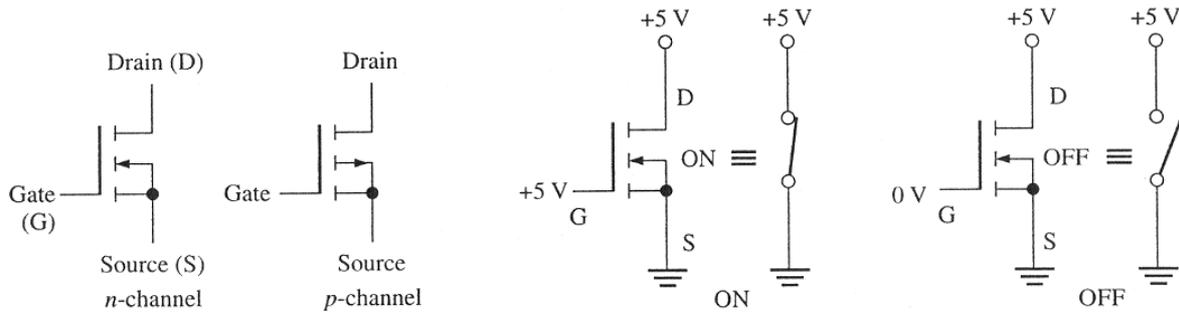


Figura 14: Absorção de corrente das portas utilizadas como carga quando a porta acionadora encontra-se com sua saída em estado LOW.

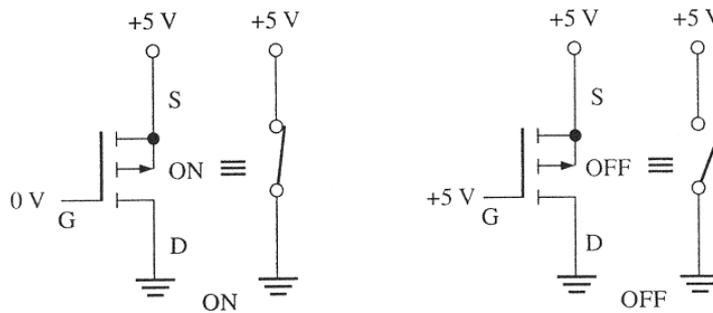
3 Portas da Família CMOS

- O elemento básico de uma porta CMOS é o transistor MOSFET (*Metal-Oxid Semiconductor Field Effect Transistor*):



(a) MOSFET symbols

(b) *n*-channel switch



(c) *p*-channel switch

Figura 15: Símbolo gráfico dos dois tipos de transistores MOSFET: canal N e canal P. Operação como uma chave (*switch*) LIGA-DESLIGA (*ON-OFF*).

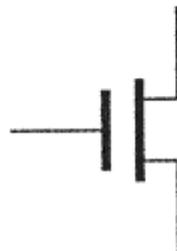


Figura 16: Símbolo gráfico simplificado de um MOSFET, tendo sido abstraída a polaridade do canal. Nesta representação é assumido que a polaridade do canal é identificada pelo contexto do circuito do qual o MOSFET faz parte.

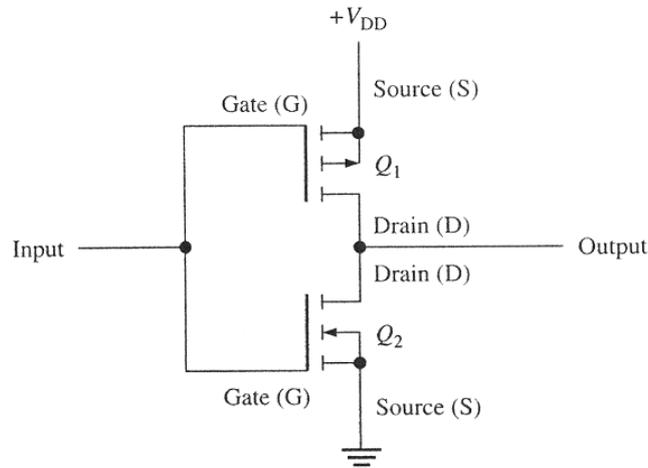


Figura 17: Circuito interno típico de uma porta NOT da família CMOS.

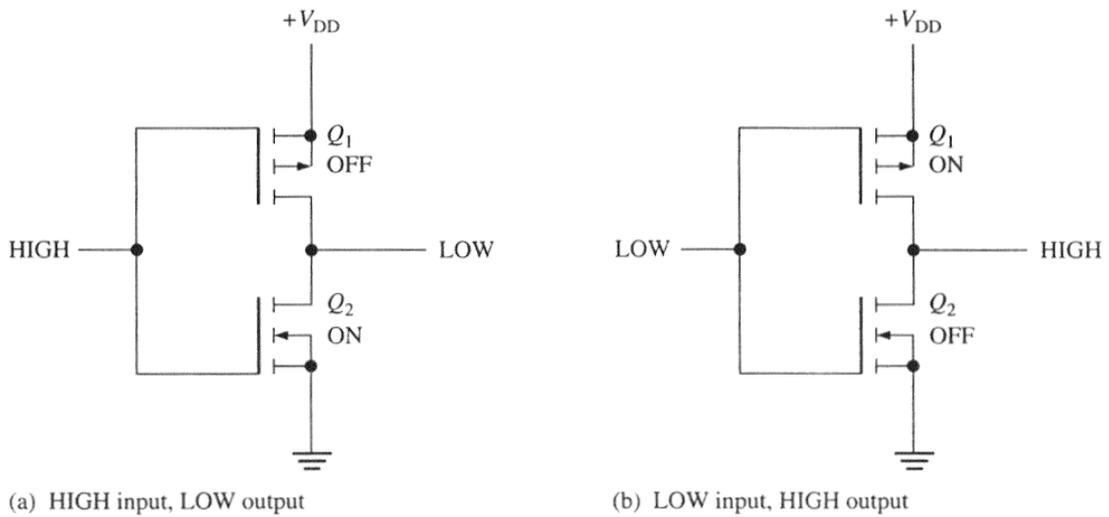


Figura 18: Operação de uma porta NOT da família CMOS.

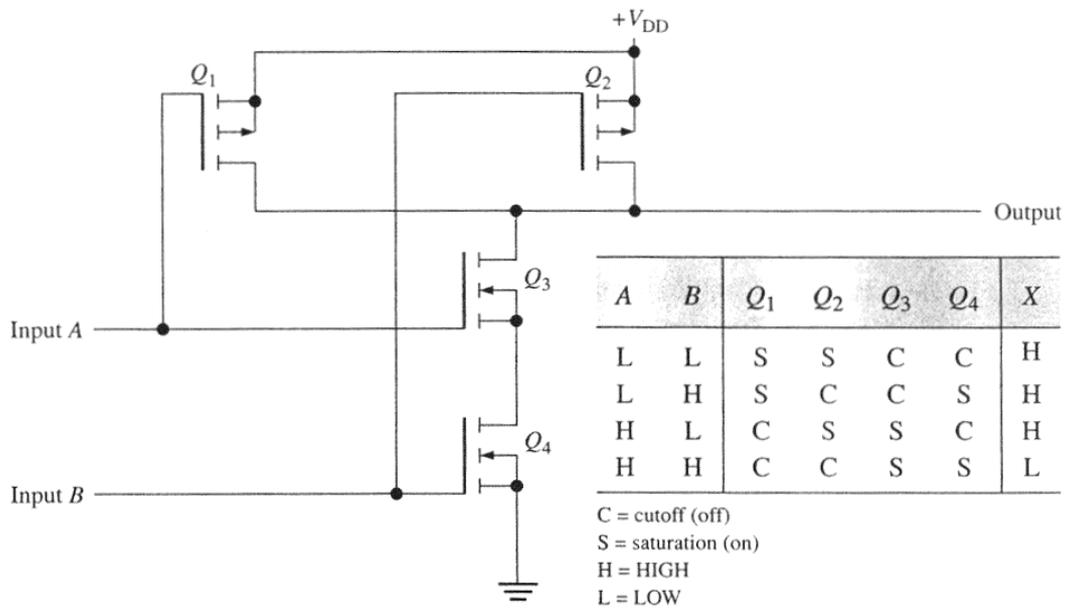


Figura 19: Operação de uma porta NAND da família CMOS.

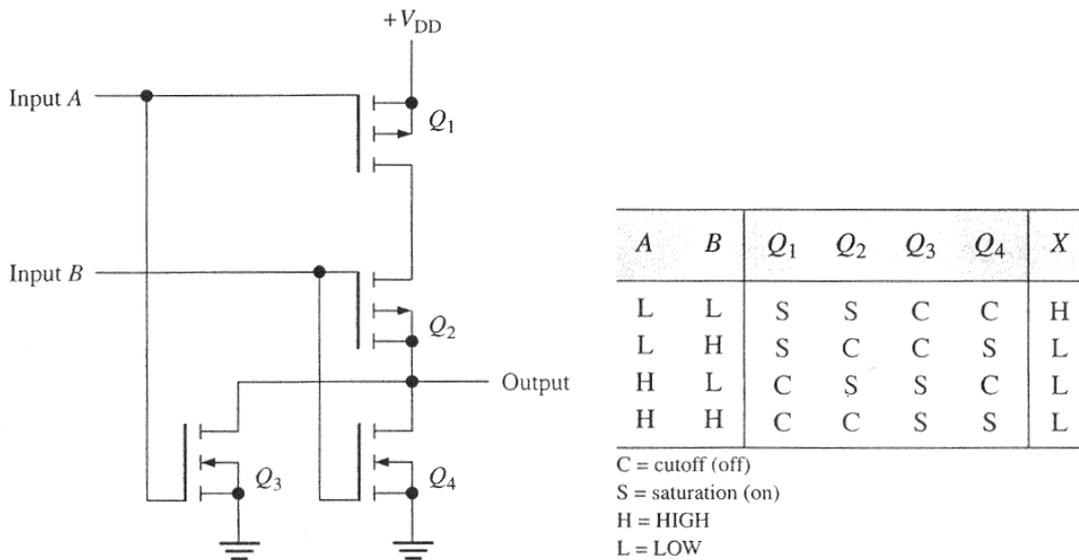


Figura 20: Operação de uma porta NOR da família CMOS.

3.1 Portas Dreno-Aberto (*open-drain*)

● Quando um CI CMOS é designado como *open drain* isto significa que suas portas internas vem de fábrica com o terminal de dreno de seu transistor de saída **desconectado**. A conexão do transistor de saída à V_{CC} deve ser feita através de um resistor externo denominado resistor *pull-up*:

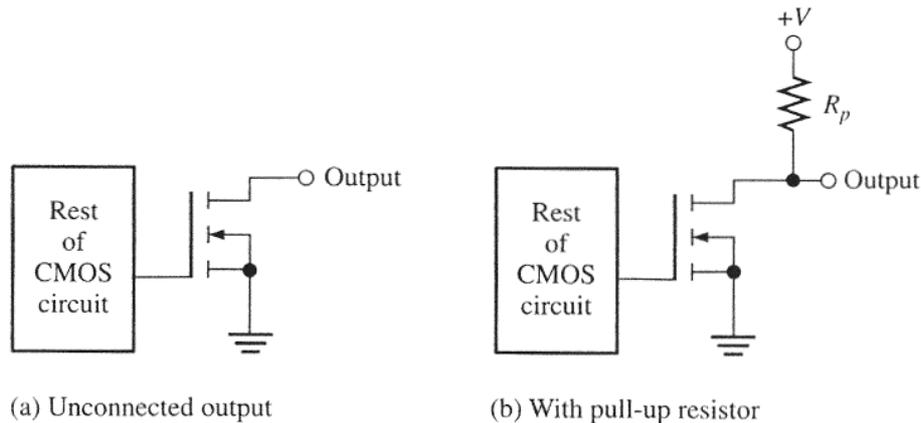


Figura 21: Porta *open drain* da família CMOS.

3.2 Portas *Tristate*

● Uma porta *tristate* possui um terceiro estado em sua saída além dos estados H e L. Quando este terceiro estado é acionado, ocorre uma total desconexão entre o pino de saída da porta e o seu circuito interno. Por este motivo, este terceiro estado é denominado **HIGH-Z** (alta impedância).

● Todas as famílias lógicas possuem portas lógicas na versão *tristate*, além da versão convencional.

● Portas *tristate* são úteis, por exemplo, quando vários periféricos, cada um com seu endereço próprio, compartilham o mesmo barramento de dados de um controlador que utiliza um microprocessador. O microprocessador troca dados com um periférico X acionando o periférico X através de seu endereço. Os demais periféricos não devem influenciar na operação, e, como compartilham o mesmo barramento, suas portas de saída devem permanecer em HIGH-Z enquanto o microprocessador troca dados com o periférico X.

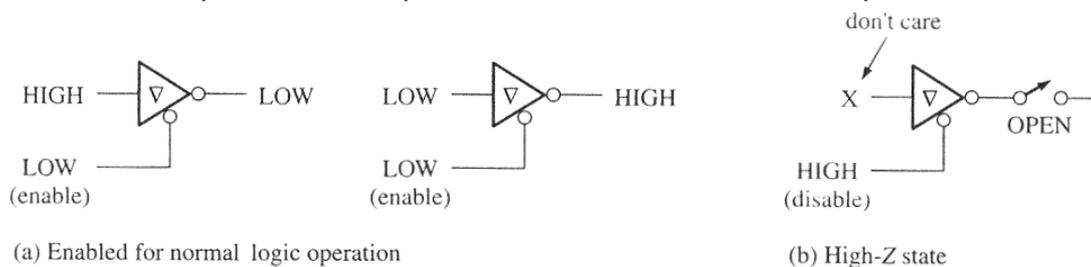


Figura 22: Símbolo e operação de uma porta NOT *tristate*.

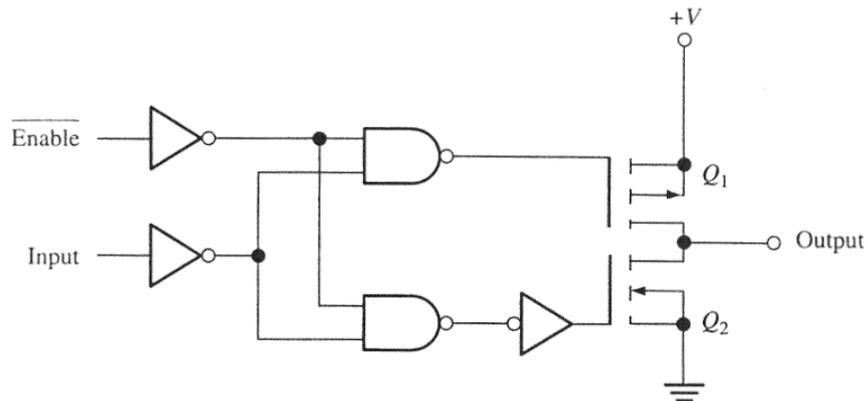


Figura 23: Circuito interno típico de uma porta NOT *tristate* da família CMOS.

3.3 Precauções no uso de CIs CMOS

- Todos os dispositivos CMOS são sujeitos a serem danificados por eletricidade estática. Em função disto é recomendado que:
 - ⇒ Todos os CIs CMOS devem envolvidos em espuma plástica condutora para efeito de transporte. Quando removidos da espuma protetora, os pinos do CI não devem ser tocados.
 - ⇒ Os CIs devem ser depositados com os pinos para baixo sobre um superfície metálica aterrada, quando removidos da espuma protetora. Não deposite CIs CMOS sobre qualquer material plástico devido às cargas elétricas estáticas que inevitavelmente são geradas por este material.
 - ⇒ Todas as ferramentas, equipamentos de teste e bancadas de metal devem ser aterradas. Quando o ambiente de trabalho é tal que o ar atmosférico é muito seco, somente deve-se manusear os CIs CMOS com uma pulseira presa ao pulso ou antebraço, pulseira que deve ser conectada à terra através de um resistor de aproximadamente $100\text{K}\Omega$. O resistor evita choque maior caso a pessoa toque em uma fonte de tensão e, ao mesmo tempo, descarrega as cargas elétricas acumuladas durante o manuseio.
 - ⇒ Os CIs devem ser inseridos em seus soquetes **somente quando a tensão de alimentação estiver desligada.**
 - ⇒ Todos os terminais de entrada que não forem utilizados devem ser conectados à V_{CC} ou terra. Se deixados abertos serão influenciados por cargas elétricas estáticas na vizinhança, o que provocará o funcionamento errático do circuito:

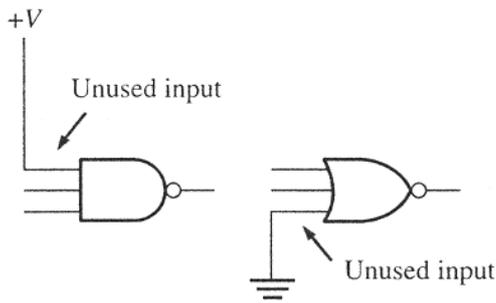


Figura 24: Conexão de entradas não utilizadas em um CI da família CMOS.

4 Portas da Família TTL

- O elemento básico de uma porta TTL é o transistor bipolar NPN:

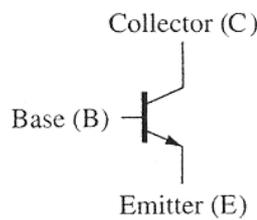


Figura 25: Símbolo gráfico de um transistor bipolar NPN.

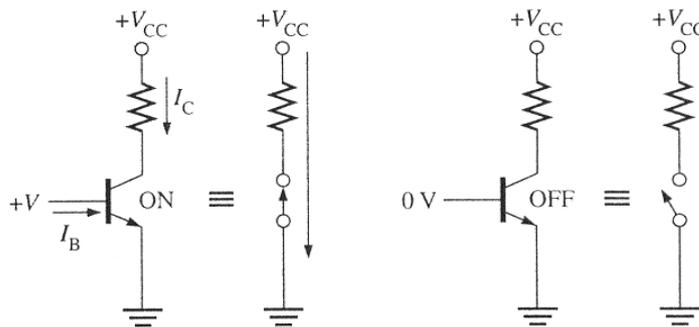


Figura 26: Operação de um transistor bipolar NPN como uma chave (switch) LIGA-DESLIGA (ON-OFF).

(a) Saturated (ON) transistor and ideal switch equivalent

(b) OFF transistor and ideal switch equivalent

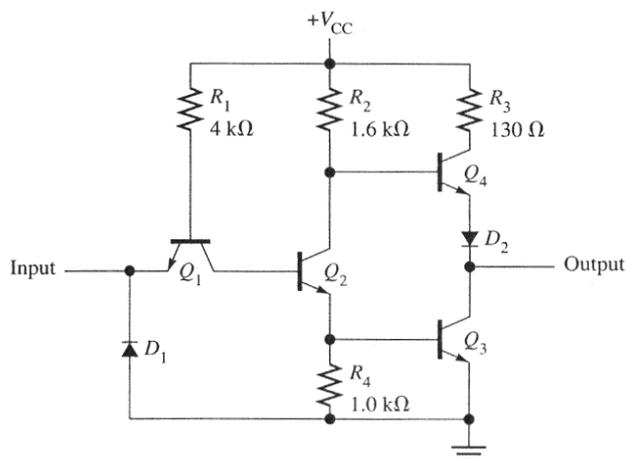


Figura 27: Circuito interno típico de uma porta NOT da família TTL. A maneira como os transistores Q_4 e Q_3 interligam-se entre si (encontram-se “empilhados” como em um totem indígena) dá a este circuito de saída o nome de *totem pole* (mastro de totem).

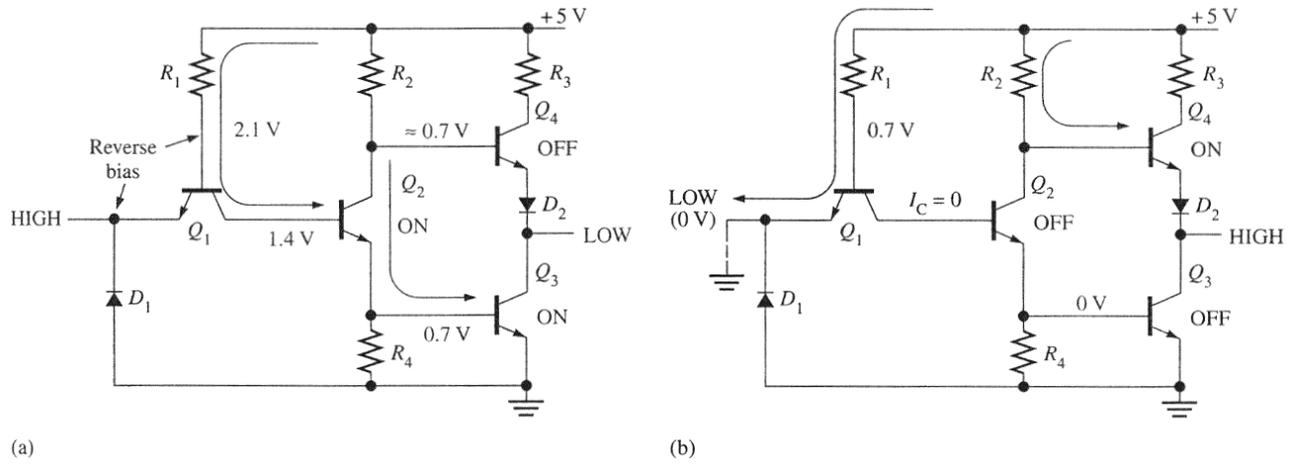


Figura 28: Operação de uma porta NOT da família TTL.

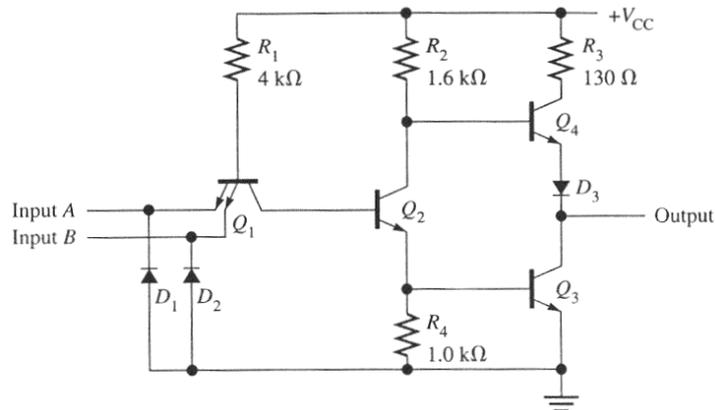


Figura 29: Operação de uma porta NAND da família TTL.

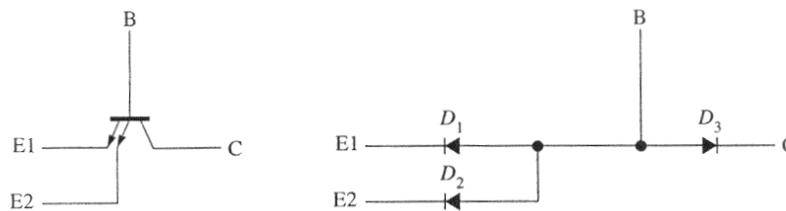


Figura 30: Diodos internos de um transistor bipolar NPN com múltiplos terminais “emissor”.

⇒ Observe com o auxílio da Figura 30, que o circuito da Figura 29 implementa a tabela-verdade:

| <i>A</i> | <i>B</i> | $Y = \overline{AB}$ |
|----------|----------|---------------------|
| L | L | H |
| L | H | H |
| H | L | H |
| H | H | L |

4.1 Portas Coletor-Aberto (*open-collector*)

● Quando um CI TTL é designado como *open collector* isto significa que suas portas internas vem de fábrica com o terminal de coletor de seu transistor de saída **desconectado**. A situação é idêntica à de uma porta *open drain* da família CMOS. A conexão do transistor de saída à V_{CC} é feita através de um resistor *pull-up*:

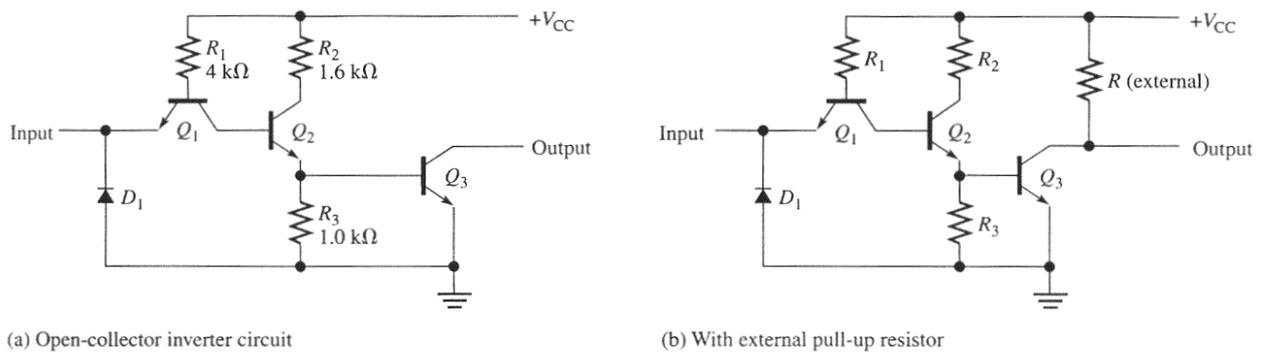


Figura 31: Porta NOT *open collector* da família TTL.

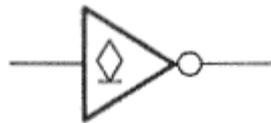


Figura 32: Um losango com um traço inferior desenhado no interior do símbolo de uma porta TTL indica que a porta é *open collector*.

4.2 Portas *Tristate*

- Conforme já vimos uma porta *tristate* possui um terceiro estado em sua saída denominado **HIGH-Z** (alta impedância). Quando este terceiro estado é acionado, ocorre uma total desconexão entre o pino de saída da porta e o seu circuito interno:

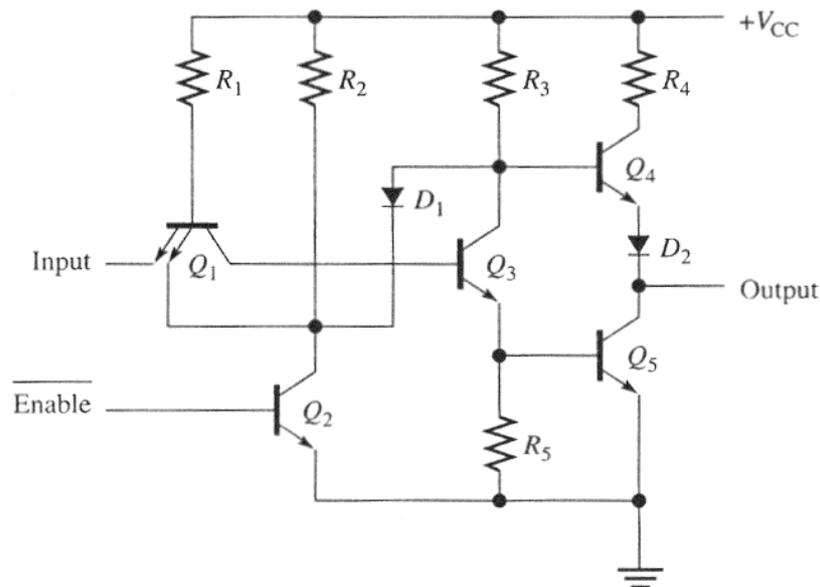


Figura 33: Circuito interno típico de uma porta NOT *tristate* da família TTL. Quando $\overline{\text{Enable}} = L$, $Q_2 \rightarrow \text{OFF}$ e o circuito de saída opera como um *totem pole* usual formado pelos transistores Q_4 e Q_5 . Quando $\overline{\text{Enable}} = H$, $Q_2 \rightarrow \text{ON}$. Nesta situação, o segundo emissor de Q_1 está com um nível de tensão L , fazendo com que $Q_3 \rightarrow \text{OFF}$ e $Q_5 \rightarrow \text{OFF}$. Ainda, nesta mesma situação, o diodo D_1 está diretamente polarizado, fazendo com que $Q_4 \rightarrow \text{OFF}$. Estando ambos Q_4 e Q_5 em estado OFF, a porta está em estado HIGH-Z.

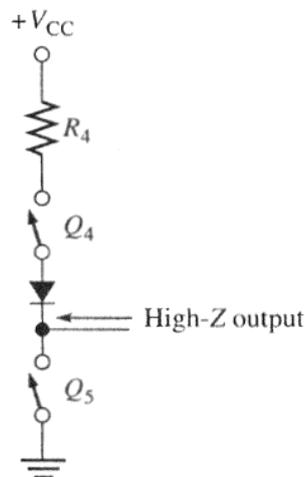
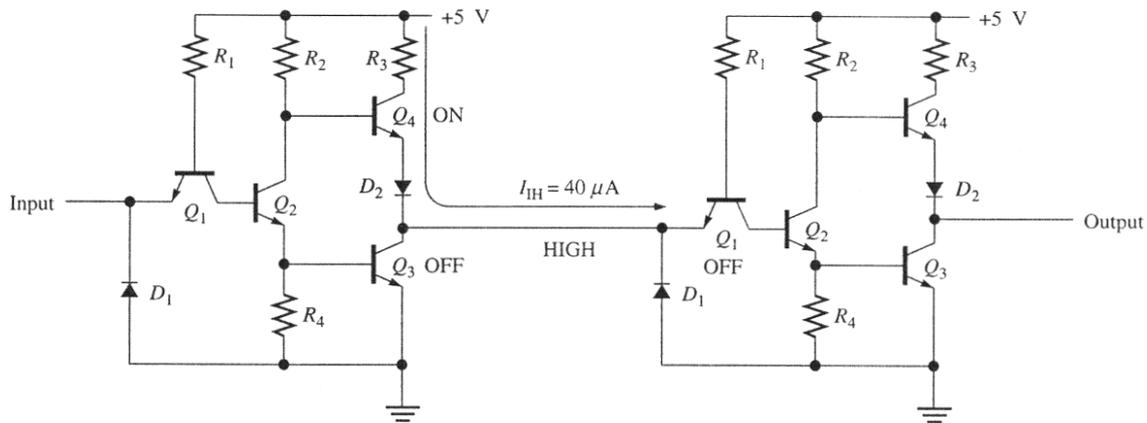
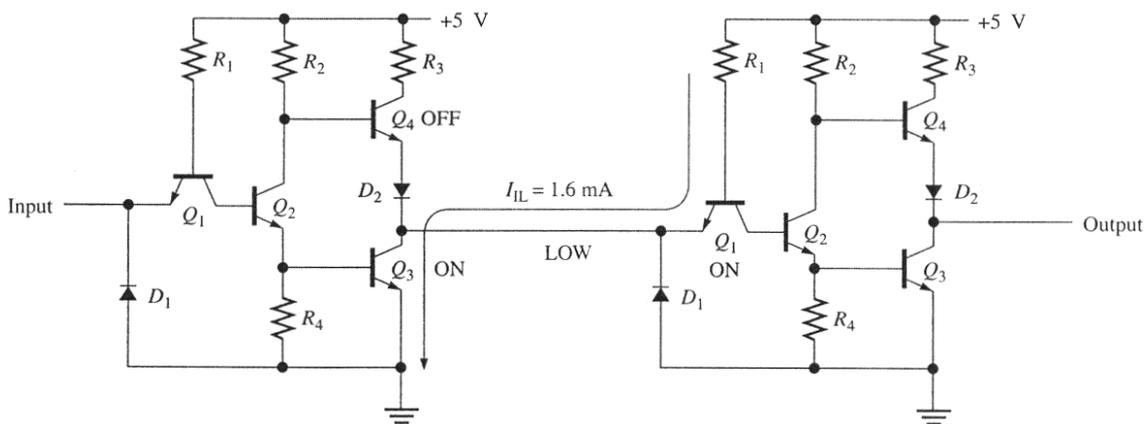


Figura 34: Circuito equivalente quando a porta está em estado HIGH-Z.

4.3 Corrente de Entrada



(a) Current sourcing (I_{IH} value is maximum)



(b) Current sinking (I_{IL} value is maximum)

Figura 35: (a) Quando a saída da porta acionadora está em estado H ela fornece uma corrente I_{IH} à entrada da porta conectada como carga. (b) Quando a saída da porta acionadora está em estado L ela absorve uma corrente I_{IL} da entrada da porta conectada como carga. **Nota:** I_{IL} é no máximo 1.6 mA para uma porta TTL padrão, valor que é usualmente indicado em manuais como um valor negativo porque é uma corrente que **sai** do terminal de entrada da porta conectada como carga.

4.4 Operação Wired-AND

- A operação Wired-AND constitui uma forma de baixo custo de implementarmos o AND lógico entre um grande número de variáveis, sem necessariamente termos que utilizar um grande número de portas AND.

- A operação AND fica implícita pela ligação em paralelo da saída de portas *open collector* :

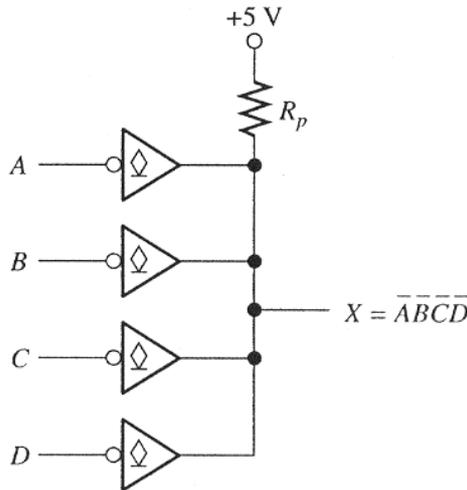


Figura 36: Operação Wired-AND $X = \overline{A} \overline{B} \overline{C} \overline{D}$ implementada com 4 portas NOT *open collector*.

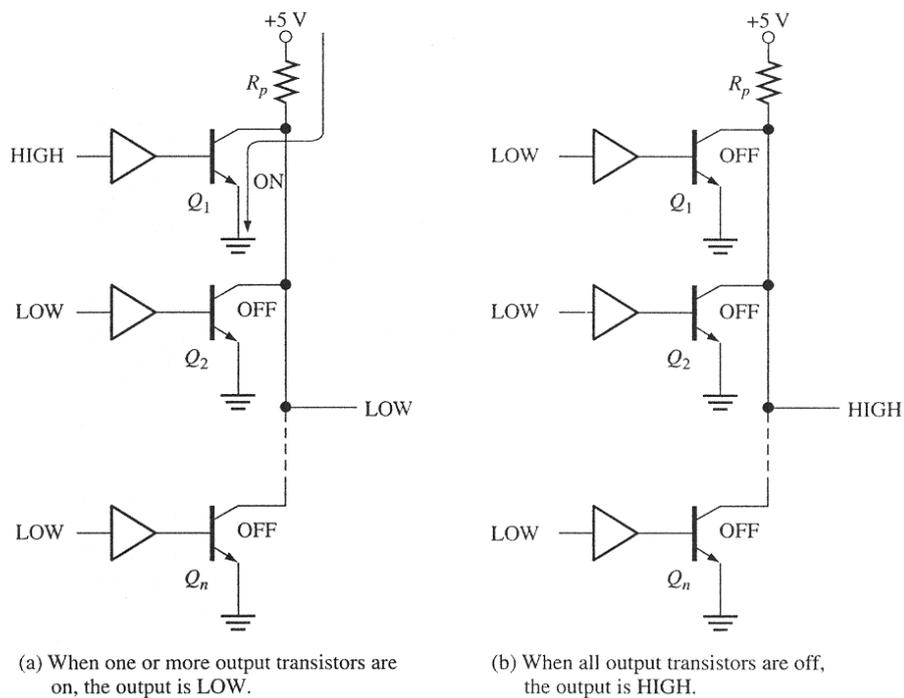


Figura 37: Funcionamento dos circuitos internos da operação Wired-AND mostrada na Figura 36. (a) Quando um ou mais de um transistor de saída está ON, a saída é L. (a) Quando todos os transistores de saída estão OFF, a saída é H.

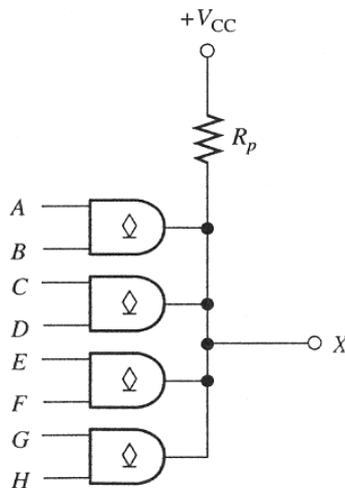


Figura 38: Operação Wired-AND $X = ABCDEFGH$ implementada com 4 portas AND *open collector*.

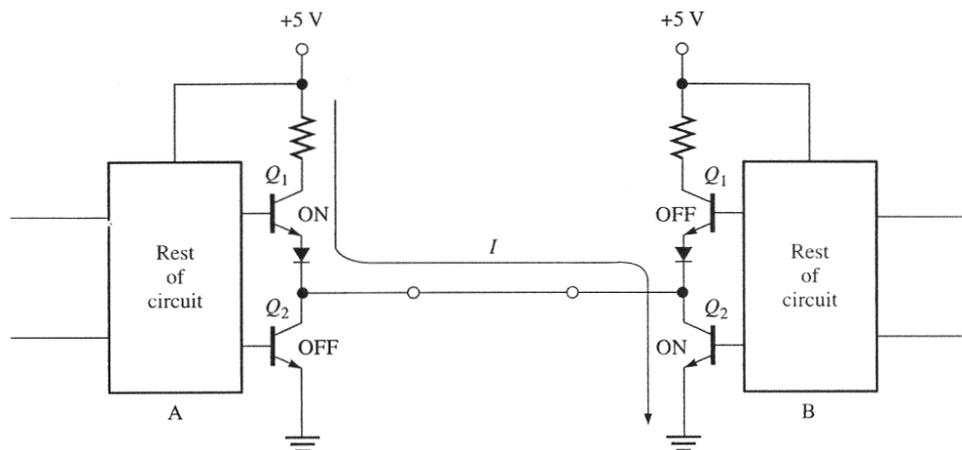


Figura 39: A tentativa de implementar a operação Wired-AND com portas padrão ao invés de portas *open collector* resulta em uma altíssima corrente I de curto circuito entre portas cujas saídas estejam em estados distintos, fato que inevitavelmente destruirá as portas.

4.5 Acionamento de Cargas Externas

- A máxima corrente de saída de uma porta TTL ocorre quando a saída está em estado LOW (portanto está absorvendo corrente) e é $I_{OL(max)} = 16\text{mA}$ para uma porta TTL padrão e $I_{OL(max)} = 8\text{mA}$ para uma porta LS.
- É necessário, portanto, o uso de *drivers open collector* ou outros dispositivos que aumentem a capacidade de corrente quando deseja-se acionar cargas que demandem correntes maiores:

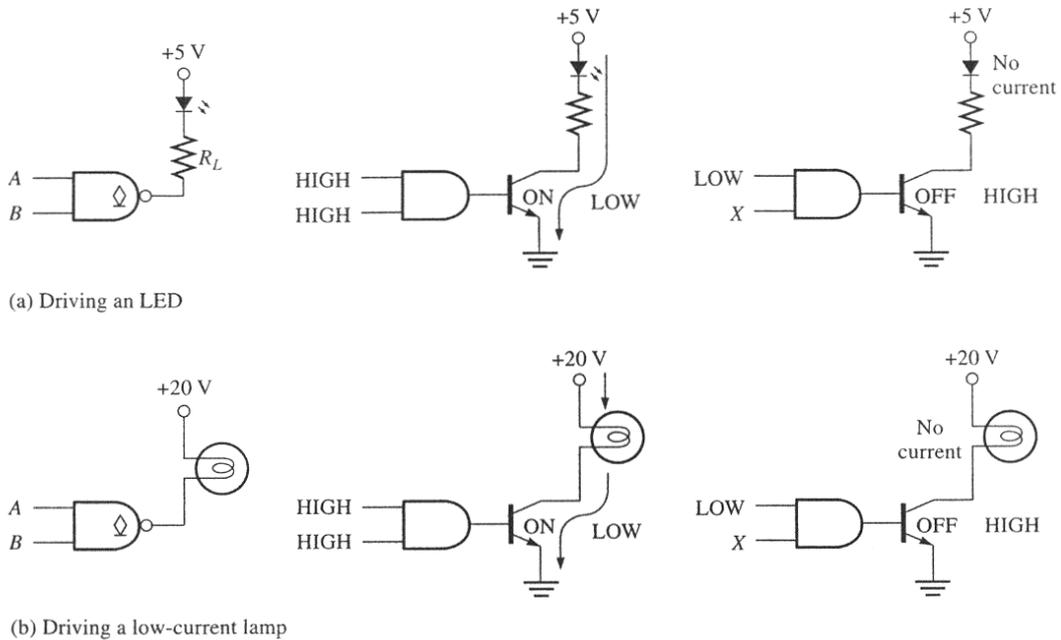


Figura 40: (a) Acionamento de um LED e (b) de uma lâmpada piloto.

4.6 Conexão de Entradas não Utilizadas

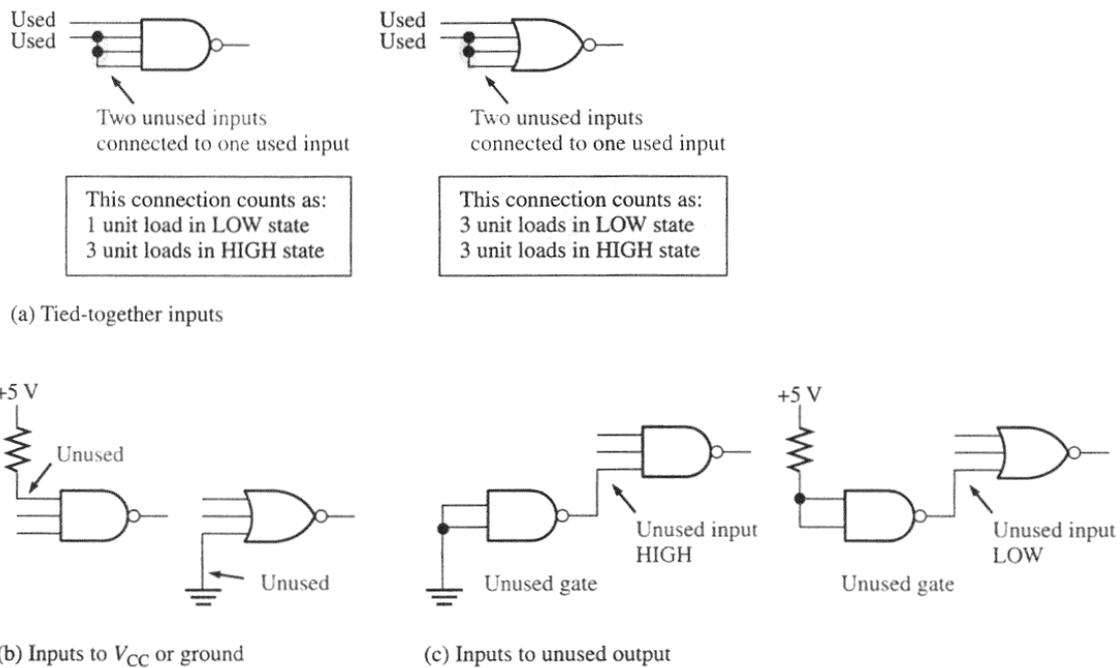


Figura 41: (a) Conexão de entradas não utilizadas com a entrada em uso. Este método implica em aumentar a corrente de carga da porta acionadora. (b) Conexão a V_{CC} através de um resistor de $1K\Omega$ para entradas de portas AND e NAND e conexão à terra para entradas de portas OR e NOR. (c) Conexão através de uma porta não utilizada.

5 Interface entre TTL e CMOS

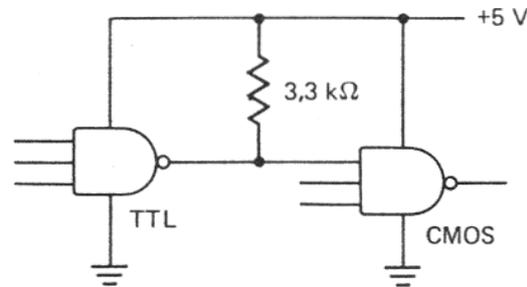


Figura 42: Porta acionadora TTL e carga CMOS. O resistor de $3.3\text{k}\Omega$ minimiza a incompatibilidade gerada por $V_{OH(\min)} = 2.4\text{ V}$ na saída de uma porta TTL e o $V_{IH(\min)} = 3.5\text{ V}$ necessário na entrada de uma porta CMOS. Ver Figura 43. Para reduzir ao máximo o tempo de comutação da porta CMOS (função do processo de carga-descarga do capacitor em sua entrada) o resistor pode ser reduzido até 330Ω .

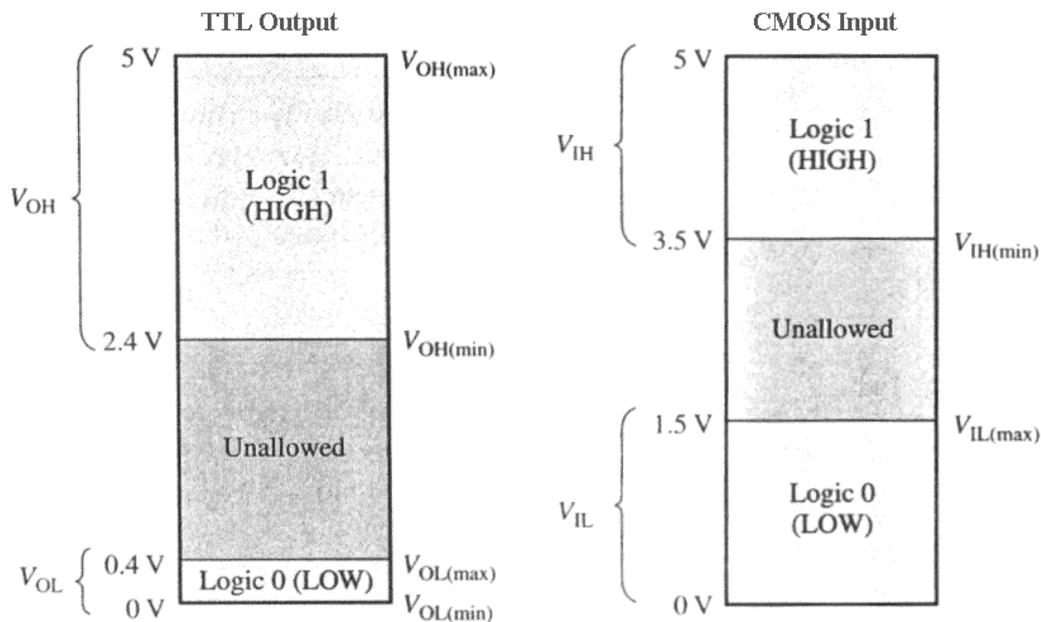


Figura 43: Tensões de saída TTL comparadas com as tensões de entrada CMOS.

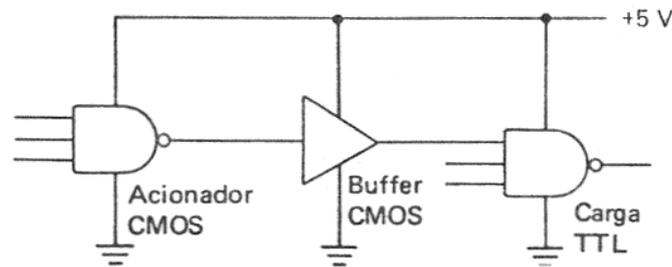


Figura 44: Devido a baixa capacidade de corrente de CIs CMOS, a maneira mais segura de acionar uma ou mais portas TTL através de uma porta CMOS é utilizar um *buffer* CMOS, como o 74C902, o CD4049A (porta NOT bufferizada), o CD4050A, etc. Um *buffer* é um CI que é projetado com uma capacidade de corrente de saída maior que os CIs padrão.

6 Comparação de Performance entre Famílias Lógicas

| | Bipolar (TTL) | | | BiCMOS | CMOS | | | | | | |
|------------------------------------|---------------|-----|-----|--------|------|------|------|-----|-------|-----|------|
| | F | LS | ALS | | ABT | 5 V | | | 3.3 V | | |
| | | | | | | HC | AC | AHC | LV | LVC | ALVC |
| Speed | | | | | | | | | | | |
| Gate propagation delay, t_p (ns) | 3.3 | 10 | 7 | 3.2 | 7 | 5 | 3.7 | 9 | 4.3 | 3 | |
| FF maximum clock freq. (MHz) | 145 | 33 | 45 | 150 | 50 | 160 | 170 | 90 | 100 | 150 | |
| Power Dissipation/Gate | | | | | | | | | | | |
| Bipolar: 50% dc (mW) | 6 | 2.2 | 1.4 | | | | | | | | |
| CMOS: quiescent (μ W) | | | | 17 | 2.75 | 0.55 | 2.75 | 1.6 | 0.8 | 0.8 | |
| Output Drive | | | | | | | | | | | |
| I_{OL} (mA) | 20 | 8 | 8 | 64 | 4 | 24 | 8 | 12 | 24 | 24 | |

Figura 45: Comparação entre sub-famílias das famílias TTL e CMOS. A família BiCMOS é uma família híbrida que utiliza lógica CMOS com transistores de saída na configuração *totem pole* da família TTL. A legenda para as sub-famílias é: F-fast, LS-Low Power Schottky, ALS-Advanced Low Power Schottky, ABT-Advanced BiCMOS, HC-High Speed CMOS, AC-Advanced CMOS, AHC-Advanced High Speed CMOS, LV-Low Voltage, LVC- Low Voltage CMOS, ALVC- Advanced Low Voltage CMOS.

| | Bipolar (TTL) | CMOS | Bipolar (ECL) | |
|------------------------------------|---------------|-------------|---------------|--------|
| | F | AHC | 10H | E-lite |
| Speed | | | | |
| Gate propagation delay, t_p (ns) | 3.3 | 3.7 | 1 | 0.22 |
| FF maximum clock freq. (MHz) | 145 | 170 | 330 | 2800 |
| Power Dissipation/Gate | | | | |
| Bipolar: 50% dc | 8.9 mW | | 25 mW | 73 mW |
| CMOS: quiescent | | 2.5 μ W | | |

Figura 46: Comparação entre famílias TTL e ECL.

7 Data Sheets

QUAD 2-INPUT NAND GATE

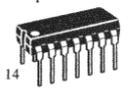
• ESD > 3500 Volts

SN54/74LS00

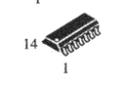
**QUAD 2-INPUT NAND GATE
LOW POWER SCHOTTKY**



J SUFFIX
CERAMIC
CASE 632-08

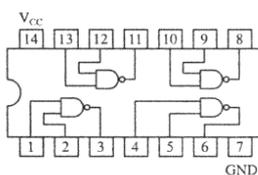


N SUFFIX
PLASTIC
CASE 646-06



D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION
SN54LSXXJ Ceramic
SN74LSXXN Plastic
SN74LSXXD SOIC



SN54/74LS00

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

| Symbol | Parameter | Limits | | | Unit | Test Conditions |
|----------|---|--------|-------|------|---------|--|
| | | Min | Typ | Max | | |
| V_{IH} | Input HIGH Voltage | 2.0 | | | V | Guaranteed Input HIGH Voltage for All Inputs |
| V_{IL} | Input LOW Voltage | 54 | | 0.7 | V | Guaranteed Input LOW Voltage for All Inputs |
| | | 74 | | 0.8 | | |
| V_{IK} | Input Clamp Diode Voltage | | -0.65 | -1.5 | V | $V_{CC} = \text{MIN}$, $I_{IN} = -18 \text{ mA}$ |
| V_{OH} | Output HIGH Voltage | 54 | 2.5 | 3.5 | V | $V_{CC} = \text{MIN}$, $I_{OH} = \text{MAX}$, $V_{IN} = V_{IH}$ or V_{IL} per Truth Table |
| | | 74 | 2.7 | 3.5 | | |
| V_{OL} | Output LOW Voltage | 54, 74 | 0.25 | 0.4 | V | $I_{OL} = 4.0 \text{ mA}$ or $V_{CC} = \text{MIN}$, $V_{IN} = V_{IL}$ or V_{IH} per Truth Table |
| | | 74 | 0.35 | 0.5 | | |
| I_{IH} | Input HIGH Current | | | 20 | μ A | $V_{CC} = \text{MAX}$, $V_{IN} = 2.7 \text{ V}$ |
| | | | | 0.1 | | |
| I_{IL} | Input LOW Current | | | -0.4 | mA | $V_{CC} = \text{MAX}$, $I_N = 0.4 \text{ V}$ |
| | | | | -100 | | |
| I_{OS} | Short Circuit Current (Note 1) | -20 | | | mA | $V_{CC} = \text{MAX}$ |
| I_{CC} | Power Supply Current Total, Output HIGH Total, Output LOW | | | 1.6 | mA | $V_{CC} = \text{MAX}$ |
| | | | | 4.4 | | |

NOTE 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS ($T_A = 25^\circ\text{C}$)

| Symbol | Parameter | Limits | | | Unit | Test Conditions |
|-----------|---------------------------------|--------|-----|-----|------|--------------------------|
| | | Min | Typ | Max | | |
| t_{PLH} | Turn-Off Delay, Input to Output | | 9.0 | 15 | ns | $V_{CC} = 5.0 \text{ V}$ |
| t_{PHL} | Turn-On Delay, Input to Output | | 10 | 15 | ns | $C_L = 15 \text{ pF}$ |

GUARANTEED OPERATING RANGES

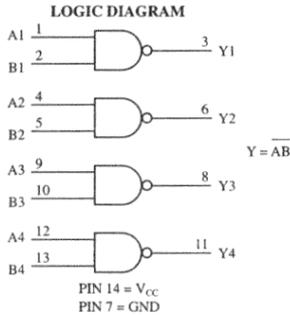
| Symbol | Parameter | Min | Typ | Max | Unit |
|----------|-------------------------------------|--------|------|------|------------------|
| V_{CC} | Supply Voltage | 54 | 4.5 | 5.0 | V |
| | | 74 | 4.75 | 5.0 | |
| T_A | Operating Ambient Temperature Range | 54 | -55 | 125 | $^\circ\text{C}$ |
| | | 74 | 0 | 70 | |
| I_{OH} | Output Current — High | 54, 74 | | -0.4 | mA |
| I_{OL} | Output Current — Low | 54 | | 4.0 | mA |
| | | 74 | | 8.0 | |

Figura 47: Data Sheet parcial para o TTL 75LS00.

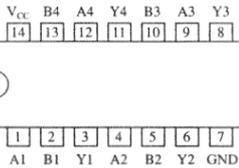
Quad 2-Input NAND Gate High-Performance Silicon-Gate CMOS

The MC54/74HC00A is identical in pinout to the LS00. The device inputs are compatible with Standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μ A
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance With the JEDEC Standard No. 7A Requirements
- Chip Complexity: 32 FETs or 8 Equivalent Gates



Pinout: 14–Load Packages (Top View)



MC54/74HC00A

J SUFFIX
CERAMIC PACKAGE
CASE 632-08

N SUFFIX
PLASTIC PACKAGE
CASE 646-06

D SUFFIX
SOIC PACKAGE
CASE 751A-03

DT SUFFIX
TSSOP PACKAGE
CASE 948G-01

ORDERING INFORMATION

| | |
|-------------|---------|
| MC54HCXXAJ | Ceramic |
| MC74HCXXAN | Plastic |
| MC74HCXXAD | SOIC |
| MC74HCXXADT | TSSOP |

FUNCTION TABLE

| Inputs | | Output |
|--------|---|--------|
| A | B | Y |
| L | L | H |
| L | H | H |
| H | L | H |
| H | H | L |

MAXIMUM RATINGS*

| Symbol | Parameter | Value | Unit |
|-----------|--|------------------------|--------------|
| V_{CC} | DC Supply Voltage (Referenced to GND) | -0.5 to +7.0 | V |
| V_{in} | DC Input Voltage (Referenced to GND) | -0.5 to $V_{CC} + 0.5$ | V |
| V_{out} | DC Output Voltage (Referenced to GND) | -0.5 to $V_{CC} + 0.5$ | V |
| I_{in} | DC Input Current, per Pin | ± 20 | mA |
| I_{out} | DC Output Current, per Pin | ± 25 | mA |
| I_{CC} | DC Supply Current, V_{CC} and GND Pins | ± 50 | mA |
| P_D | Power Dissipation in Still Air, Plastic or Ceramic DIP† SOIC Package‡ TSSOP Package‡ | 750 500 450 | mW |
| T_{stg} | Storage Temperature | -65 to +150 | $^{\circ}$ C |
| T_L | Lead Temperature, 1 mm from Case for 10 Seconds Plastic DIP, SOIC or TSSOP Package Ceramic DIP | 260 300 | $^{\circ}$ C |

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.
† Derating — Plastic DIP: - 10 mW/ $^{\circ}$ C from 65 $^{\circ}$ to 125 $^{\circ}$ C
Ceramic DIP: - 10 mW/ $^{\circ}$ C from 100 $^{\circ}$ to 125 $^{\circ}$ C
SOIC Package: - 7 mW/ $^{\circ}$ C from 65 $^{\circ}$ to 125 $^{\circ}$ C
TSSOP Package: - 6.1 mW/ $^{\circ}$ C from 65 $^{\circ}$ to 125 $^{\circ}$ C

RECOMMENDED OPERATING CONDITIONS

| Symbol | Parameter | Min | Max | Unit | |
|-------------------|--|------------------|-----------------|--------------|----|
| V_{CC} | DC Supply Voltage (Referenced to GND) | 2.0 | 6.0 | V | |
| V_{in}, V_{out} | DC Input Voltage, Output Voltage (Referenced to GND) | 0 | V_{CC} | V | |
| T_A | Operating Temperature, All Package Types | -55 $^{\circ}$ | +125 $^{\circ}$ | $^{\circ}$ C | |
| t_r, t_f | Input Rise and Fall Time | $V_{CC} = 2.0$ V | 0 | 1000 | ns |
| | | $V_{CC} = 4.5$ V | 0 | 500 | |
| | | $V_{CC} = 6.0$ V | 0 | 400 | |

DC CHARACTERISTICS (Voltages Referenced to GND)

| Symbol | Parameter | Condition | V_{CC} V | Guaranteed Limit | | | Unit |
|----------|--|---|--------------------------|------------------------------|------------------------------|------------------------------|---------|
| | | | | -55 to 25 $^{\circ}$ C | $\leq 85^{\circ}$ C | $\leq 125^{\circ}$ C | |
| V_{IH} | Minimum High-Level Input Voltage | $V_{out} = 0.1V$ or $V_{CC} - 0.1V$ $ I_{out} \leq 20\mu A$ | 2.0 3.0 4.5 6.0 | 1.50 2.10 3.15 4.20 | 1.50 2.10 3.15 4.20 | 1.50 2.10 3.15 4.20 | V |
| V_{IL} | Maximum Low-Level Input Voltage | $V_{out} = 0.1V$ or $V_{CC} - 0.1V$ $ I_{out} \leq 20\mu A$ | 2.0 3.0 4.5 6.0 | 0.50 0.90 1.35 1.80 | 0.50 0.90 1.35 1.80 | 0.50 0.90 1.35 1.80 | V |
| V_{OH} | Minimum High-Level Output Voltage | $V_{in} = V_{IH}$ or V_{IL} $ I_{out} \leq 20\mu A$ | 2.0 4.5 6.0 | 1.9 4.4 5.9 | 1.9 4.4 5.9 | 1.9 4.4 5.9 | V |
| | | $V_{in} = V_{IH}$ or V_{IL} $ I_{out} \leq 2.4mA$ $ I_{out} \leq 4.0mA$ $ I_{out} \leq 5.2mA$ | 3.0 4.5 6.0 | 2.48 3.98 5.48 | 2.34 3.84 5.34 | 2.20 3.70 5.20 | |
| V_{OL} | Maximum Low-Level Output Voltage | $V_{in} = V_{IH}$ or V_{IL} $ I_{out} \leq 20\mu A$ | 2.0 4.5 6.0 | 0.1 0.1 0.1 | 0.1 0.1 0.1 | 0.1 0.1 0.1 | V |
| | | $V_{in} = V_{IH}$ or V_{IL} $ I_{out} \leq 2.4mA$ $ I_{out} \leq 4.0mA$ $ I_{out} \leq 5.2mA$ | 3.0 4.5 6.0 | 0.26 0.26 0.26 | 0.33 0.33 0.33 | 0.40 0.40 0.40 | |
| I_{in} | Maximum Input Leakage Current | $V_{in} = V_{CC}$ or GND | 6.0 | ± 0.1 | ± 1.0 | ± 1.0 | μA |
| I_{CC} | Maximum Quiescent Supply Current (per Package) | $V_{in} = V_{CC}$ or GND $I_{out} = 0\mu A$ | 6.0 | 1.0 | 10 | 40 | μA |

AC CHARACTERISTICS ($C_L = 50$ pF, Input $t_r = t_f = 6$ ns)

| Symbol | Parameter | V_{CC} V | Guaranteed Limit | | | Unit |
|------------------------|---|--------------------------|------------------------|----------------------|-----------------------|------|
| | | | -55 to 25 $^{\circ}$ C | $\leq 85^{\circ}$ C | $\leq 125^{\circ}$ C | |
| t_{pLH} t_{pHL} | Maximum Propagation Delay, Input A or B to Output Y | 2.0 3.0 4.5 6.0 | 75 30 15 13 | 95 40 19 16 | 110 55 22 19 | ns |
| t_{tLH} t_{tHL} | Maximum Output Transition Time, Any Output | 2.0 3.0 4.5 6.0 | 75 27 15 13 | 95 32 19 16 | 110 36 22 19 | ns |
| C_{in} | Maximum Input Capacitance | | 10 | 10 | 10 | pF |

| | | | | |
|----------|--|---|----|----|
| C_{PD} | Power Dissipation Capacitance (Per Buffer) | Typical @ 25 $^{\circ}$ C, $V_{CC} = 5.0$ V, $V_{EG} = 0$ V | 22 | pF |
|----------|--|---|----|----|

Figura 48: Data Sheet parcial para o CMOS 74HC00A.